

Rec'd PCT/PTO 10 JUN 2005

ST/JP2004/001431

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

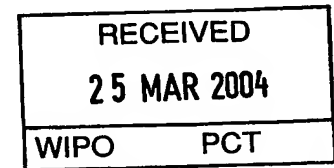
10.2.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 2月14日

出 願 番 号  
Application Number: 特願2003-036835  
[ST. 10/C]: [JP2003-036835]



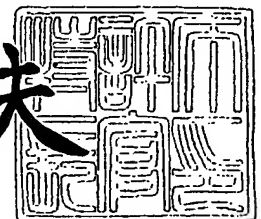
出 願 人  
Applicant(s): キヤノン株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 3月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 252751

【提出日】 平成15年 2月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146  
H04N 1/028

【発明の名称】 固体撮像装置及びその製造方法、並びに放射線撮像装置

【請求項の数】 1

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 渡辺 実

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 森下 正和

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 望月 千織

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 野村 慶一

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

【氏名】 石井 孝昌

## 【特許出願人】

【識別番号】 000001007  
【氏名又は名称】 キヤノン株式会社  
【代表者】 御手洗 富士夫

## 【代理人】

【識別番号】 100065385  
【弁理士】  
【氏名又は名称】 山下 穰平  
【電話番号】 03-3431-1831

## 【選任した代理人】

【識別番号】 100122921  
【弁理士】  
【氏名又は名称】 志村 博  
【電話番号】 03-3431-1831

## 【手数料の表示】

【予納台帳番号】 010700  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 0213163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置及びその製造方法、並びに放射線撮像装置

【特許請求の範囲】

【請求項 1】 光検出素子と前記光検出素子に接続された 1 つ以上の薄膜トランジスタとを 1 画素に形成し、前記光検出素子の一部が前記薄膜トランジスタの少なくとも一部の上に積層されて配置し、前記薄膜トランジスタは、ソース電極、ドレイン電極、第 1 のゲート電極、及び前記ソース電極・ドレイン電極に対し前記第 1 のゲート電極と反対側に配置された第 2 のゲート電極から成ることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、光検出素子及び薄膜トランジスタ（T F T）を有する固体撮像装置及びその製造方法、並びに放射線撮像装置に関するものである。固体撮像装置は、医療画像診断装置、非破壊検査装置、分析装置等における X 線、 $\alpha$  線、 $\beta$  線、 $\gamma$  線等の放射線を検出する放射線撮像装置に利用されている。

【0 0 0 2】

【従来の技術】

近年、絶縁基板上に T F T を作りこむ T F T マトリックスパネルの大判化や駆動速度の高速化が急速に進められている。T F T を用いた液晶パネルの製造技術は、可視光を電気信号に変換する光検出素子を有する固体撮像装置としてのエリアセンサへと利用されており、表面に X 線（放射線）から可視光線への変換層を配置することで放射線撮像装置としても活用されている。このような光照射量を読み取るパネルでは、液晶パネルのような画像表示装置と異なり、各画素に蓄積されたチャージを特に正確に転送することが重要であるが、外的作用により例えば T F T の閾値電圧が変化すると、取り込んだ画像に画像ムラが発生してしまう。そこで、放射線撮像装置において、光検出素子・T F T に要求されることは、

- (1) 素子毎に照射された光量を正確にチャージとして蓄積する。
- (2) 素子毎に蓄積したチャージを正確に転送する。

ことが必要である。

#### 【0003】

近年の液晶ディスプレイ用TFT技術の進歩により、非晶質シリコン（以下、a-Siと略記）を用いた光検出素子とスイッチTFTにより構成されたセンサアレイと、放射線を可視光等に変換する蛍光体とを組み合わせた放射線撮像装置が提案され、医療画像分野においてもデジタル化が達成されている。この放射線撮像装置により、放射線画像を瞬時に読み取り、瞬時にディスプレイ上に表示でき、また、デジタルデータとして取り込むことができるため、データの保管や加工、転送等を行うことができるようになった。しかし、例えばボトムゲート型TFTは上部にソース・ドレイン電極とTFTのチャネル部が配置されるため、外的作用に影響され閾値電圧が変化する特徴を持っている。特に、開口率を向上させるため例えばTFTを覆う形で光検出素子を配置した場合、光検出素子で発生するエレクトロン又はホールの影響でTFTにバックチャネル効果をもたらし、画素毎のTFTの閾値電圧が異なる減少が発生する。

#### 【0004】

そこで、TFTの上部に光検出素子を配置する例えば固体撮像装置では、TFTのチャネル上部を電極で覆う必要がある。

#### 【0005】

従来例として、カシオ計算機株式会社による下記特許文献1の提案においては、TFT素子の構造が、ソース電極、ドレイン電極を、トップゲート電極、ボトムゲート電極で挟み込む構造を取っている。特許文献1においてはTFT素子の半導体層を光電変換層としても兼ねた構造となっているために、TFTのスイッチングスピード等の特性と、光電変換素子としての変換効率の両者を好ましい形態とするには困難であり、両者はトレードオフの関係となっている。

#### 【0006】

##### 【特許文献1】

特開平6-216359号公報

#### 【0007】

【発明が解決しようとする課題】

本発明は、かかる問題点に鑑みてなされたものであって、本発明は、素子と薄膜トランジスタからなり、特に光検出素子の開口部を大きく取るために光検出素子が薄膜トランジスタ上の一部又は全面を覆う構造をもつ固体撮像装置において、発生した電荷を忠実に信号処理回路に転送する安定した高性能な薄膜トランジスタを提供しながら、薄膜トランジスタ、光検出素子の両者の特性を独立に設定することが可能であり、低コストで高性能な固体撮像装置を提供することを目的としている。

#### 【0008】

##### 【課題を解決するための手段】

本発明の固体撮像装置は、光検出素子と前記光検出素子に接続された1つ以上の薄膜トランジスタとを1画素に形成し、前記光検出素子の一部が前記薄膜トランジスタの少なくとも一部の上に積層されて配置し、前記薄膜トランジスタは、ソース電極、ドレイン電極、第1のゲート電極、及び前記ソース電極・ドレイン電極に対し前記第1のゲート電極と反対側に配置された第2のゲート電極から成り、前記第1のゲート電極を前記第2のゲート電極に画素毎に接続したことを特徴としている。

#### 【0009】

これにより、TFETの上部に重なった光検出素子の影響がなくなり、TFETのオフ時にリークの少なく外部からの電界に対してもTFETの閾値電圧が変化せず発生した電荷を忠実に信号処理回路に転送する安定した高性能な薄膜トランジスタを提供することができる。加えて、薄膜トランジスタ、光検出素子の両者の特性を独立に設定することが可能であり、低コストで高性能な固体撮像装置を提供することが可能である。また、TFETを2つのゲート電極で制御可能となるためTFETのチャンネルが増え、電荷の転送効率の向上にも寄与する。

#### 【0010】

##### 【発明の実施の形態】

以下、本発明の実施形態に係る固体撮像装置及びその製造方法、並びに放射線撮像装置について、添付の図面を参照して具体的に説明する。

#### 【0011】

## 【実施形態 1】

図 1～図 5 は、本発明の実施形態 1 の、1 画素の平面図と断面図を表したものである。

## 【0012】

図 1 は、本発明の実施形態 1 に係る固体撮像装置において、一对の光検出素子と T F T を含む画素の平面構成を示すレイアウト図である。

## 【0013】

本実施態様の光検出素子は可視光を電荷に変換する素子で、上部には放射線を可視光に変換する波長変換体としての蛍光体層を配置している。

## 【0014】

T F T（薄膜トランジスタ）102 は、ソース電極、ドレイン電極、第 1 のゲート電極、第 2 のゲート電極の、4 つの電極で構成されている。蓄積された電荷を読み取り処理をする信号処理回路に接続されている転送配線 104 は T F T のソース電極 115 a と接続されている。また、T F T の O N / O F F を制御するゲートドライバ回路と接続されているゲート配線 103 は、T F T の第 1 のゲート電極 111 に接続されており、同時にスルーホール 106 を介して第 2 のゲート電極 117 と画素毎に接続している。更に、光検出素子 101 は下から電極層・絶縁層・真性半導体層・n 型半導体層から成る M I S 型光検出素子で、この光検出素子を構成する 2 つの電極の内、一方の電極は T F T のドレイン電極 115 b と、他方の電極はセンサに電圧を印加するバイアス配線 105 と接続されている。

## 【0015】

このように、T F T 102 のソース電極ードレイン電極間のチャネル部を、第 1 のゲート電極 111 と第 2 のゲート電極 117 により挟み込むことで、T F T 102 の上部に配置した光検出素子 102 内でエレクトロンとホールが発生し、光検出素子を構成する電極の電位が変動しても、下部にあたる T F T 102 は影響を受けず、特性が変動することがなくなる。ゲート配線 103 は、第 1 のゲート電極 111 で使用する第 1 の電極層で形成しても良いし、第 2 のゲート電極 117 で使用する第 3 の電極層で形成しても良い。しかし、ゲート配線 103 と転

送配線 104、バイアス配線 105 や光検出素子 101 の下部電極との間で形成される容量を小さくするためには、第 1 のゲート電極 111 で使用する第 1 の電極層で形成することが望ましい。

#### 【0016】

本実施形態では、特に光検出素子に可視光を光電変換する材料を用いた場合、TF T のソース・ドレイン間のギャップ部に光が入射しない方が望ましいため、TF T の上部に配置する光検出素子の下部電極に使用する下部電極層や、TF T の第 2 のゲート電極として使用する電極層には、ITO 等の透明電極層では形成せず、例えば Al や Mo のような光の透過しない金属層を用いることが望ましい。

#### 【0017】

図 2 は図 1 の A-A 線に沿った断面図である。

#### 【0018】

各層は、不図示の絶縁基板上に形成される。上部には蛍光体層 175 が、右部に TF T 102 が、左部に光検出素子 101 が右部の TF T 102 を覆う形で配置している。TF T 102 はボトムゲート型の構造で、下から第 1 の電極層から成る第 1 のゲート電極 111、第 1 の絶縁層 112、第 1 の真性半導体層 113、第 1 の n 型半導体層 114、第 2 の電極層 115 から成るソース・ドレイン電極、第 2 の絶縁膜 116、第 3 の電極層から成る第 2 のゲート電極 117 で構成されている。

#### 【0019】

光検出素子 101 は、下から第 4 の電極層 122、第 4 の絶縁層 123、第 2 の真性半導体層 124、第 2 の n 型半導体層 125 で構成されている。第 2 の n 型半導体層 125 には低抵抗でバイアスを印加できる第 5 の電極層 126 から成るバイアス配線と接続されている。この構成は、n 型半導体層が例えばマイクロクリスタル n 型半導体層のように抵抗が低い場合に可能である。また、n 型半導体層がアモルファスシリコン n 型半導体層のように抵抗が高い場合、n 型半導体層の上部全面に電極層が必要になる。この電極層は可視光を十分に透過させる透明電極層である、例えば ITO 層を用いると良い。TF T 102 のドレイン電極



(図2の第2の電極層115の左部分)は、光検出素子101の第4の電極層122から成る電極と接続されている。なお、下部には第3の絶縁層121、上部には第5の絶縁層127が配置される。

#### 【0020】

このような構成の固体撮像装置では、蛍光体で放射線から変換された可視光が光検出素子101に入射すると、真性半導体層内でエレクトロンとホールが生成される。ここで、例えば光検出素子101の第2のn型半導体層125又はその上部に配置された例えばITOを用いた電極層が定電位に固定されていた場合、第4の電極層122から成る光検出素子101の下部電極が電位変動を起こす。TF Tを介してこの電位変動を読み取ることで画像を表示することができるが、この電位変動がTF Tのソース・ドレイン間のギャップ部上で起こると、TF Tのバックチャネル効果を引き起こし、TF Tの閾値電圧を変化させる要因となる。そこで、図2における第3の電極層から成る第2のゲート電極117をTF Tのソース・ドレイン間のギャップ上と光検出素子の下部電極の間に、絶縁膜を介して配置し、第1の電極層から成るTF Tの第1のゲート電極111と接続することで、光検出素子の影響を防止することができる。

#### 【0021】

図3は、図1における画素の平面構成から更に特性を向上させたレイアウト図である。

#### 【0022】

TF T102は、ソース電極、ドレイン電極、第1のゲート電極、第2のゲート電極の、4つの電極で構成されている。ここで、特に光検出素子とTF Tから成る光電変換素子では、転送配線104にかかる容量が大きくなると光検出素子で発生した電荷を読み出す時にノイズが大きくなることが分かっている。そこで、図3に示すように、TF Tのソース電極ードレイン電極間のチャネル部を、第1のゲート電極111と第2のゲート電極117により挟み込み、かつ第2のゲート電極117がTF Tのソース電極115aと重ならないことで、光検出素子からのTF Tへの影響を防止し、かつ転送配線104との間に発生する容量を小さくし、固体撮像装置の性能を維持している。

## 【0023】

図4は図3のB-B線に沿った断面図である。

## 【0024】

各層は、不図示の絶縁基板上に形成される。第3の電極層から成る第2のゲート電極117をTFTのソース・ドレイン間のギャップ上に配置し、第1の電極層から成るTFT102の第1のゲート電極111と接続することで、光検出素子の影響を防止することができる。また、第2のゲート電極が転送配線と接続されたソース電極115aと重ならないように配置することで、第2のゲート電極117とソース電極115a間で発生する容量を抑えることができるため、転送配線104にかかる容量を最小限としている。これは、第2のゲート電極117をソース電極115aに被せ、第1のゲート電極がソース電極115aと重ならないように配置しても良いし、TFTの転送能力が十分であれば、第2のゲート電極117と第1のゲート電極双方ともソース電極115aに重ならないように配置しても良い。

## 【0025】

次に、固体撮像装置のセンサパネルとその周辺回路について説明する。

## 【0026】

図5は、本発明の実施形態1における固体撮像装置の簡易等価回路図と周辺回路図である。

## 【0027】

中央に等価回路を含むセンサパネル181と、前記センサパネル181外の周囲に信号処理回路182、ゲートドライバ回路183、リフレッシュドライバ回路184を配置している。パネル内の転送配線104は、図5の上下に配置した信号処理回路182で処理されており、パネル内のゲート配線103はゲートドライバ回路183で制御されており、パネル内のバイアス配線105はリフレッシュドライバ回路184で制御されている。転送配線104は上下に2分割され、上下別々の信号処理回路182に接続されている。また、バイアス配線105は、上下に分割された分割位置から全画素に引き回されている。このバイアス配線105は信号処理回路内に設け、引き回しても良い。ゲート配線103は左部

に配置されたゲートドライバ回路 183 により制御されているが、ゲートドライバ回路 183 を左右に配置し双方向から制御しても良いし、中央部で分割し左右独立に制御しても構わない。

### 【0028】

#### [実施形態 2]

図 6 は、本発明の実施形態 2 における固体撮像装置の一对の光検出素子と TFT を含む画素の平面構成を示すレイアウト図である。

### 【0029】

本実施形態の光検出素子は可視光を電荷に変換する素子で、上部には放射線を可視光に変換する波長変換体としての蛍光体層を配置している。

### 【0030】

TFT 102 は、ソース電極、ドレイン電極、第 1 のゲート電極、第 2 のゲート電極の 4 つの電極で構成されている。蓄積された電荷を読み取り処理をする信号処理回路に接続されている転送配線 104 は TFT のソース電極 115a と接続されている。また、TFT の ON/OFF を制御するゲートドライバ回路 183 と接続されているゲート配線 103 は、TFT の第 1 のゲート電極 111 に接続されており、同時にスルーホール 106 を介して第 2 のゲート電極 117 と画素毎に接続している。更に、光検出素子 102 は下から電極層・絶縁層・真性半導体層・n 型半導体層から成る MIS 型光検出素子で、この光検出素子を構成する 2 つの電極の内、一方の電極は TFT のドレイン電極 115b と、他方の電極はセンサに電圧を印加するバイアス配線 105 と接続されている。

### 【0031】

光検出素子 101 の下部電極は TFT 102 上には配置しておらず、TFT 102 は、下から絶縁膜、真性半導体層、n 型半導体層、電極層という構成をとっている。しかし、第 2 のゲート電極 117 がないと、放射線が入射した際に、絶縁膜と真性半導体層の特にソース・ドレイン電極上の界面に、本実施形態ではホールが蓄積されるため、TFT に影響を及ぼし閾値電圧を変化させる要因となる。そこで、本図のように、TFT のソース電極ードレイン電極間のチャネル部を、第 1 のゲート電極 111 と第 2 のゲート電極 117 により挟み込むことで、T

FTの上部に配置した光検出素子内でエレクトロンとホールが発生し、光検出素子を構成する、特にソース・ドレイン電極上の絶縁膜と真性半導体層の界面にエレクトロンやホールが蓄積されても、下部にあたるFTは影響を受けず、特性が変動することがなくなる。

#### 【0032】

本実施形態では、特に光検出素子に可視光を光電変換する材料を用いた場合、FTのソース・ドレイン間のギャップ部に光が入射しない方が望ましいため、FTの上部に配置する光検出素子の下部電極に使用する下部電極層や、FTの第2のゲート電極として使用する電極層には、ITO等の透明電極層では形成せず、例えばAlやMoのような光の透過しない金属層を用いることが望ましい。

#### 【0033】

図7は図6のC-C線に沿った断面図である。

#### 【0034】

各層は、不図示の絶縁基板上に形成される。上部には不図示であるが蛍光体層が配置されており、右部にFT102が、左部に光検出素子101が右部のFT102を覆う形で配置している。FT102はボトムゲート型の構造で、下から第1の電極層から成る第1のゲート電極111、第1の絶縁層112、第1の真性半導体層113、第1のn型半導体層114、第2の電極層115から成るソース・ドレイン電極、第2の絶縁層116、第3の電極層から成る第2のゲート電極117で構成されている。

#### 【0035】

光検出素子101は、下から第3の電極層131、第3の絶縁層132、第2の真性半導体層133、第2のn型半導体層134、第4の電極層135で構成されている。第4の電極層135には低抵抗でバイアスを印加できる第5の電極層136から成るバイアス配線と接続されている。第4の電極層135には、可視光を十分に透過させる透明電極層である、例えばITO層を用いると良い。FT102上部に配置された第3の電極層である第2のゲート電極117は、光検出素子の下部電極層と同じ層である第3の電極層131で同時に形成している。

。TFTのドレイン電極115bは、光検出素子の第3の電極層131から成る電極と接続されている。なお、上部には第4の絶縁層137が配置される。

#### 【0036】

このような構成の固体撮像装置では、蛍光体で放射線から変換された可視光が光検出素子に入射すると、真性半導体層内でエレクトロンとホールが生成される。ここで、第2のゲート電極がない場合、例えば光検出素子の第4の電極層135が定電位に固定されていると、第3の電極層131から成る光検出素子の下部電極が電位変動を起こすと同時に、TFTのソース・ドレイン電極上で、第3の絶縁層132と第2の真性半導体層133の界面にホールが蓄積されてしまう。この影響により、TFTのバックチャネル効果を引き起こし、TFTの閾値電圧を変化させてしまう。そこで、図7における第3の電極層から成る第2のゲート電極117をTFTのソース・ドレイン間のギャップ上と光検出素子の間に、絶縁膜を介して配置し、第1の電極層から成るTFTの第1のゲート電極111と接続することで、光検出素子の影響を防止することができる。

#### 【0037】

##### [実施形態3]

図8は、本発明の実施形態3における固体撮像装置の一对の光検出素子とTFTを含む画素の断面図である。

#### 【0038】

平面構成を示すレイアウト図は第1の実施形態と同様である。本実施形態の光検出素子は可視光を電荷に変換する素子で、各層は、不図示の絶縁基板上に形成され、上部には放射線を可視光に変換する不図示の蛍光体層を配置している。

#### 【0039】

右部にTFT102が、左部に光検出素子101が右部のTFT102を覆う形で配置している。TFT102はボトムゲート型の構造で、下から第1の電極層から成る第1のゲート電極111、第2の絶縁層112、第1の真性半導体層113、第1のn型半導体層114、第2の電極層115から成るソース・ドレイン電極、第2の絶縁層116、第3の電極層から成る第2のゲート電極117で構成されている。

## 【0040】

光検出素子101は、下から第4の電極層142、第2のn型半導体層143、第2の真性半導体層144、p型半導体層145、第5の電極層146で構成されたPIN型光検出素子である。第5の電極層145には低抵抗でバイアスを印加できる第6の電極層147から成るバイアス配線と接続されている。第5の電極層145には、可視光を十分に透過させる透明電極層である、例えばITO層を用いると良い。TFTのドレイン電極は、光検出素子の第4の電極層142から成る電極と接続されている。なお、下部には第3の絶縁層131、上部には第5の絶縁層148が配置される。

## 【0041】

このような構成の固体撮像装置では、蛍光体で放射線から変換された可視光が光検出素子101に入射すると、真性半導体層内でエレクトロンとホールが生成される。ここで、第2のゲート電極117がない場合、例えば光検出素子101の第5の電極層146が定電位に固定されていると、第4の電極層142から成る光検出素子の下部電極が電位変動を起こす影響で、TFTのバックチャネル効果を引き起こし、TFTの閾値電圧を変化させてしまう。そこで、図8における第3の電極層から成る第2のゲート電極117をTFTのソース・ドレイン間のギャップ上と光検出素子101の下部電極の間に、絶縁膜を介して配置し、第1の電極層から成るTFTの第1のゲート電極111と接続することで、光検出素子101の影響を防止することができる。

## 【0042】

また、本実施形態において、光検出素子は放射線を直接光電変換する直接変換材料でも良く、この場合は前記記載の上部に配置する蛍光体層（不図示）は配置する必要がなくなる。

## 【0043】

## 〔実施形態4〕

図9は、本発明の実施形態4における固体撮像装置において、1つの光検出素子と2つのTFTが対となる画素の平面構成を示すレイアウト図である。

## 【0044】

本実施形態の光検出素子は可視光を電荷に変換する素子で、上部には放射線を可視光に変換する蛍光体層を配置している。

#### 【0045】

TFT107, 108は、ソース電極、ドレイン電極、第1のゲート電極、第2のゲート電極の4つの電極で構成されている。右上のTFT108は、光検出素子101に蓄積された電荷を信号処理回路に転送するため、左下のTFT107は光検出素子101で蓄積された電化を転送した後、光検出素子101をリセットするために設置されたものである。ソース電極115aと接続された転送配線104は、蓄積された電荷を読み取り処理をする信号処理回路まで引き回されている。また、TFTのON/OFFを制御するゲートドライバ回路と接続されているゲート配線103は、TFTの第1のゲート電極111に接続されており、同時にスルーホール106を介して画素毎にいる第2のゲート電極117とそれぞれ接続している。

#### 【0046】

更に、光検出素子101は下から電極層・絶縁層・真性半導体層・n型半導体層から成るMIS型光検出素子で、この光検出素子を構成する2つの電極の内、一方の電極は2つのTFTのドレイン電極と、他方の電極はセンサに電圧を印加するバイアス配線105と接続されている。ここで、第2のゲート電極117がないと、放射線が入射した際に、光検出素子の下部電極が電位変動を起こすため、TFTに影響を及ぼし閾値電圧を変化させる要因となる。そこで、本図のように、右上部・左下部双方のTFTにおいて、ソース電極ードレイン電極間のチャネル部を、第1のゲート電極111と第2のゲート電極117により挟み込むことで、TFTの上部に配置した光検出素子に放射線から変換された可視光が照射されても下部にあたるTFTは影響を受けず、特性が変動することがなくなる。

#### 【0047】

本実施形態では、特に光検出素子に可視光を光電変換する材料を用いた場合、TFTのソース・ドレイン間のギャップ部に光が入射しない方が望ましいため、TFTの上部に配置する光検出素子の下部電極に使用する下部電極層や、TFTの第2のゲート電極として使用する電極層には、ITO等の透明電極層では形成

せず、例えばAlやMoのような光の透過しない金属層を用いることが望ましい。

#### 【0048】

図10は、図9のD-D線に沿った断面図である。

#### 【0049】

各層は、不図示の絶縁基板上に形成される。上部に光検出素子101が左右のTFTを覆う形で配置している。右部は転送用のTFT107、左部はリセット用のTFT108である。双方ともTFTはボトムゲート型の構造で、下から第1の電極層から成る第1のゲート電極111、第2の絶縁層112、第1の真性半導体層113、第1のn型半導体層114、第2の電極層115から成るソース・ドレイン電極、第2の絶縁層116、第3の電極層から成る第2のゲート電極117で構成されている。

#### 【0050】

光検出素子は、下から第4の電極層122、第4の絶縁層123、第2の真性半導体層124、第2のn型半導体層125、第5の電極層126で構成されている。第5の電極層126には低抵抗でバイアスを印加できる第6の電極層128から成るバイアス配線と接続されている。第5の電極層126には、可視光を十分に透過させる透明電極層である、例えばITO層を用いると良い。TFTのドレイン電極は、光検出素子の第4の電極層122から成る電極と接続されている。なお、下部には第3の絶縁層121、上部には第5の絶縁層127が配置される。

#### 【0051】

このような構成の固体撮像装置では、蛍光体で放射線から変換された可視光が光検出素子に入射すると、真性半導体層内でエレクトロンとホールが生成される。ここで、第2のゲート電極117がない場合、例えば光検出素子の第2のn型半導体層が定電位に固定されていると、第4の電極層から成る光検出素子の下部電極が電位変動を起こす影響で、TFTのバックチャネル効果を引き起こし、TFTの閾値電圧を変化させてしまう。そこで、図10における第3の電極層から成る第2のゲート電極117を左右のTFTの、ソース・ドレイン間のギャッ



プ上と光検出素子の下部電極の間に、絶縁膜を介して配置し、第1の電極層から成るTFTの第1のゲート電極111と接続することで、光検出素子の影響を防止することができる。

#### 【0052】

また、本実施形態において、PIN型の光検出素子でも良く、また、放射線を直接光電変換する直接変換材料でも良い。ただし、直接変換材料を用いた場合は前記記載の上部に配置する蛍光体層（不図示）は配置する必要がなくなる。

#### 【0053】

##### 〔実施形態5〕

図11は、本発明の実施形態4の固体撮像装置において、一对の光検出素子とTFTを含む画素の断面図である。

#### 【0054】

平面構成を示すレイアウト図は実施形態1と同様である。本実施形態の光検出素子は可視光を電荷に変換する素子で、各層は、不図示の絶縁基板上に形成される。上部には放射線を可視光に変換する不図示の蛍光体層を配置している。

#### 【0055】

右部にTFT102が、左部に光検出素子101が右部のTFT102を覆う形で配置している。TFT102はトップゲート型の構造で、下から、第1の電極層から成る第1のゲート電極151、第2の電極層153から成るソース・ドレイン電極、第1のn型半導体層154、第1の真性半導体層155、第2の絶縁層156、第3の電極層から成る第2のゲート電極157、第3の絶縁層161で構成されている。ソース・ドレイン電極の下部には、絶縁基板とチャンネル部が直接接触しないよう、第1の絶縁層152が形成されている。また、第1の絶縁層152と絶縁基板の間には、第1の電極層である第1のゲート電極151が配置されており、絶縁基板内に含まれる微量イオンに対し影響を受けない構成をとっている。

#### 【0056】

光検出素子101は、下から第4の電極層162、第4の絶縁層163、第2の真性半導体層164、第2のn型半導体層165、第5の電極層166で構成

されている。第5の電極層166には低抵抗でバイアスを印加できる第6の電極層から成るバイアス配線と接続されている。第5の電極層166には、可視光を十分に透過させる透明電極層である、例えばITO層を用いると良い。TF T 102のドレイン電極は、光検出素子101の第4の電極層162から成る電極と接続されている。なお、下部には第3の絶縁層161、上部には第5の絶縁層167が配置される。

#### 【0057】

このような構成の固体撮像装置では、蛍光体で放射線から変換された可視光が光検出素子に入射すると、真性半導体層内でエレクトロンとホールが生成される。ここで、第2のゲート電極157がない場合、例えば光検出素子の第5の電極層166が定電位に固定されていると、第4の電極層162から成る光検出素子の下部電極が電位変動を起こす影響で、TF Tのバックチャネル効果を引き起こし、TF Tの閾値電圧を変化させてしまう。そこで、図11における第3の電極層から成る第2のゲート電極157をTF Tのソース・ドレイン間のギャップ上と光検出素子の下部電極の間に、絶縁膜を介して配置し、第1の電極層から成るTF Tの第1のゲート電極151と接続することで、光検出素子の影響を防止することができる。

#### 【0058】

また、本実施形態において、光検出素子は放射線を直接光電変換する直接変換材料でも良く、この場合は前記記載の上部に配置する蛍光体層（不図示）は配置する必要がなくなる。

#### 【0059】

##### [実施形態6]

図12は、本発明の実施形態6における模式的等価回路図である。

#### 【0060】

平坦化膜と金属膜5層を用いて、スイッチ用TF T、MIS型光検出素子、及びMIS型光検出素子に発生した電荷を受けるゲートとその電荷量に応じた信号を読み出すためのソース・ドレイン電極から成る読み出し用TF Tを、形成した例を説明する。

## 【0061】

図12において、スイッチ用TFT001の共通の駆動配線201はスイッチ用TFT001のON、OFFを制御するゲートドライバ002に接続されている。さらにTFT001のソース又はドレイン電極は、読み出し用TFT014を介して共通の信号配線202に接続されており、信号配線202はアンプIC003に接続されている。また、光検出素子004の一方の電極は不図示の共通電極ドライバに接続されており、他方の電極は読み出し用TFT014の制御電極（ゲート電極）と接続されている。また、リセット用TFT015の制御電極は駆動配線203に、ソース又はドレイン電極の一方は読み出し用TFT014の制御電極に、他方はリセット配線205に接続されている。

## 【0062】

被検体に向けて入射された放射線は、被検体により減衰を受けて透過し、蛍光体層で可視光に変換され、この可視光が光検出素子004に入射し、電荷に変換される。この電荷は、読み出し用TFT014の制御電極に対し光照射量に見合った電位変動を発生させる。この電位変動により読み出し用TFT014を流れる電流量が変化し、信号配線202を通じて読み出すことが出来る。スイッチ用TFT001は、読み出し用TFT014のソース・ドレイン間に電圧を印加するスイッチ用として使用している。信号は、信号配線202に転送され、アンプIC003により外部に読み出される。信号読み出し後にリセット用TFT015を駆動させ、リセット配線205を通じてリセット用TFT015と接続された光検出素子004の電極に電圧を印加することで、光検出素子に蓄積された電荷を除去することができる。

## 【0063】

このような、ソースフォロアタイプの固体撮像装置では、第1の真性半導体層を含むTFTと第2の真性半導体層を含む光検出素子の他に、複数のTFT（例えば、本実施形態では読み出し用TFTやリセット用TFT）を配置する必要がある。また、回路内にコンデンサを配置することも可能である。このような場合は、前述のように平坦化膜と金属膜5層で形成することで設計のバリエーションを増やすことができる。例えば、スイッチ用TFT・リセット用TFT・コン

デンサは下層で形成し、光検出素子と読み出し用 T F T は上層で形成する等配置は自由に可能である。

#### 【0064】

しかし、同時に、上部に配置された光検出素子に可視光が入射した場合や、同じく上部に配置された T F T を動作させた場合、下部に配置した T F T にバックチャネル効果を引き起こしてしまう。特に、ボトムゲート型の T F T においては顕著で、ソース・ドレイン間のチャネル部上に光検出素子や T F T が配置されると T F T の閾値電圧が安定せず、ソース・ドレイン間のリークを引き起こしてしまう。そこで、ソース・ドレインを挟み込む形で第 1 のゲート電極と第 2 のゲート電極を配置し、それぞれを画素毎に接続し駆動することで、周囲の外的作用から T F T を保護することができる。

#### 【0065】

本実施形態によれば、少なくとも、第 1 の真性半導体層を含む T F T (例えばスイッチ用 T F T やリセット用 T F T) とその上面の第 2 の真性半導体層と電極を含む光検出素子と、から成る固体撮像装置において、安定した T F T を提供することが可能である。

#### 【0066】

なおここまでの各実施形態においては、第 1 のゲート電極と第 2 のゲート電極を接続して同一のゲートドライバに接続して駆動する形態を示したが、第 1 のゲート電極と第 2 のゲート電極をそれぞれ別ドライバーに接続して、例えば印加する電圧値を変化させたりすることも可能である。

#### 【0067】

##### [実施形態 7]

実施形態 7 において、本発明の固体撮像装置の製造方法を説明する。

#### 【0068】

基板と前記基板上に配置されを光検出素子と、前記光検出素子に接続された複数の薄膜トランジスタとを有し、前記光検出素子の一部が前記薄膜トランジスタの少なくとも一部の上に重なって配置されており、前記薄膜トランジスタはソース電極、ドレイン電極、第 1 のゲート電極と、前記ソース電極・ドレイン電極に

対しボトム電極である第1のゲート電極と反対側に配置した第2のゲート電極から成ることを特徴とする固体撮像装置の製造方法は、次の(1)～(7)の工程から成っている。

#### 【0069】

- (1) 基板上に、光検出素子のセンサ電極、薄膜トランジスタのゲート電極用の導電膜を形成する工程
- (2) 前記導電膜をパターニングすることにより、前記光検出素子のセンサ電極、前記薄膜トランジスタの第1のゲート電極を形成する工程
- (3) 前記基板の上方に、前記光検出素子の共通電極、前記薄膜トランジスタのソース電極及びドレイン電極用の導電膜を形成する工程
- (4) 前記導電膜をパターニングすることにより、前記共通電極を形成する工程
- (5) 前記導電膜を更にパターニングすることにより、前記前記薄膜トランジスタのソース電極及びドレイン電極を形成する工程
- (6) 前記導電膜上の絶縁膜の更に上方に、前記第2のゲート電極用の導電膜を形成する工程
- (7) 前記導電膜をパターニングすることにより、前記第2のゲート電極を形成する工程

以上、本発明の実施の形態について説明したが、本発明の好適な実施の態様を以下のとおり列挙する。

#### 【0070】

[実施態様1] 光検出素子と前記光検出素子に接続された1つ以上の薄膜トランジスタとを1画素に形成し、前記光検出素子の一部が前記薄膜トランジスタの少なくとも一部の上に積層されて配置し、前記薄膜トランジスタは、ソース電極、ドレイン電極、第1のゲート電極、及び前記ソース電極・ドレイン電極に対し前記第1のゲート電極と反対側に配置された第2のゲート電極から成ることを特徴とする固体撮像装置。

#### 【0071】

[実施態様2] 前記薄膜トランジスタは、少なくとも絶縁基板上に順に第1

のゲート電極、絶縁層、半導体層、高不純物濃度半導体層、ソース・ドレイン電極、絶縁層、第2のゲート電極から成るダブルゲート型薄膜トランジスタであることを特徴とする実施態様1に記載の固体撮像装置。

#### 【0072】

〔実施態様3〕 前記第2のゲート電極は、前記ソース電極・ドレイン電極間のギャップ部の少なくとも一部を覆っていることを特徴とする実施態様1又は2に記載の固体撮像装置。

#### 【0073】

〔実施態様4〕 前記ソース電極又はドレイン電極の一方は信号処理回路につながる転送配線と接続されており、前記第2のゲート電極は前記転送配線と接続されたソース電極又はドレイン電極の一方と二次元的に重ならないことを特徴とする実施態様1～3のいずれかに記載の固体撮像装置。

#### 【0074】

〔実施態様5〕 前記第2のゲート電極と前記第1のゲート電極は、ゲート配線により1つのゲートドライバ回路に接続されており、前記ゲートドライバ回路により制御されることを特徴とする実施態様1～4のいずれかに記載の固体撮像装置。

#### 【0075】

〔実施態様6〕 前記第2のゲート電極が、光検出素子を構成する電極材料と同時に成膜されてなることを特徴とする実施態様1～5のいずれかに記載の固体撮像装置。

#### 【0076】

〔実施態様7〕 前記光検出素子が、少なくとも絶縁層、半導体層、高不純物濃度半導体層で構成されていることを特徴とする実施態様1～6のいずれかに記載の固体撮像装置。

#### 【0077】

〔実施態様8〕 前記光検出素子が、少なくとも第1の高不純物濃度半導体層、半導体層、第1の高不純物濃度半導体層と反対導電型の第2の高不純物濃度半導体層で構成されていることを特徴とする実施態様1～6のいずれかに記載の固

体撮像装置。

【0078】

〔実施態様9〕 前記光検出素子が、放射線を直接光電変換する放射線検出素子であることを特徴とする実施態様1～6のいずれかに記載の放射線撮像装置。

【0079】

〔実施態様10〕 実施態様1～8のいずれかに記載された固体撮像装置の前記光検出素子上に、波長変換体を配置したことを特徴とする放射線撮像装置。

【0080】

〔実施態様11〕 基板と前記基板上に配置されを光検出素子と、前記光検出素子に接続された複数の薄膜トランジスタとを有し、

前記光検出素子の一部が前記薄膜トランジスタの少なくとも一部の上に重なって配置されており、

前記薄膜トランジスタはソース電極、ドレイン電極、第1のゲート電極と、前記ソース電極・ドレイン電極に対しボトム電極である第1のゲート電極と反対側に配置した第2のゲート電極から成ることを特徴とする固体撮像装置の製造方法であって、

前記基板上に、前記光検出素子のセンサ電極、前記薄膜トランジスタのゲート電極用の導電膜を形成する工程と、

前記導電膜をパターニングすることにより、前記光検出素子のセンサ電極、前記薄膜トランジスタの第1のゲート電極を形成する工程と、

前記基板の上方に、前記光検出素子の共通電極、前記薄膜トランジスタのソース電極及びドレイン電極用の導電膜を形成する工程と、

前記導電膜をパターニングすることにより、前記共通電極を形成する工程と、

前記導電膜を更にパターニングすることにより、前記前記薄膜トランジスタのソース電極及びドレイン電極を形成する工程と、

前記導電膜上の絶縁膜の更に上方に、前記第2のゲート電極用の導電膜を形成する工程と、

前記導電膜をパターニングすることにより、前記第2のゲート電極を形成する工程と、

を有することを特徴とする固体撮像装置の製造方法。

【0081】

【発明の効果】

以上説明したように、本発明によれば、光検出素子とTFTからなり、光検出素子がTFTの一部又は全てに重なるように配置されている固体撮像装置において、TFTのソース・ドレイン電極間のギャップ部を上下に配置した第1のゲート電極と第2のゲート電極で挟みこむことで、上部に配置された光検出素子の外的作用に対し、TFTの閾値電圧を変化させず、安定したTFT特性を確保することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態1における固体撮像装置の画素の平面図

【図2】

図1中のA-A線に沿った断面図

【図3】

本発明の実施形態1の別の例における固体撮像装置の画素の平面図

【図4】

図3中のB-B線に沿った断面図

【図5】

本発明の実施形態1における固体撮像装置の簡易等価回路図と周辺回路図

【図6】

本発明の実施形態2における固体撮像装置の画素の平面図

【図7】

図6中のC-C線に沿った断面図

【図8】

本発明の実施形態3における固体撮像装置の画素の断面図

【図9】

本発明の実施形態4における固体撮像装置の画素の平面図

【図10】



図9中のD-D線に沿った断面図

【図11】

本発明の実施形態5における固体撮像装置の画素の断面図

【図12】

本発明の実施形態6における模式的等価回路図

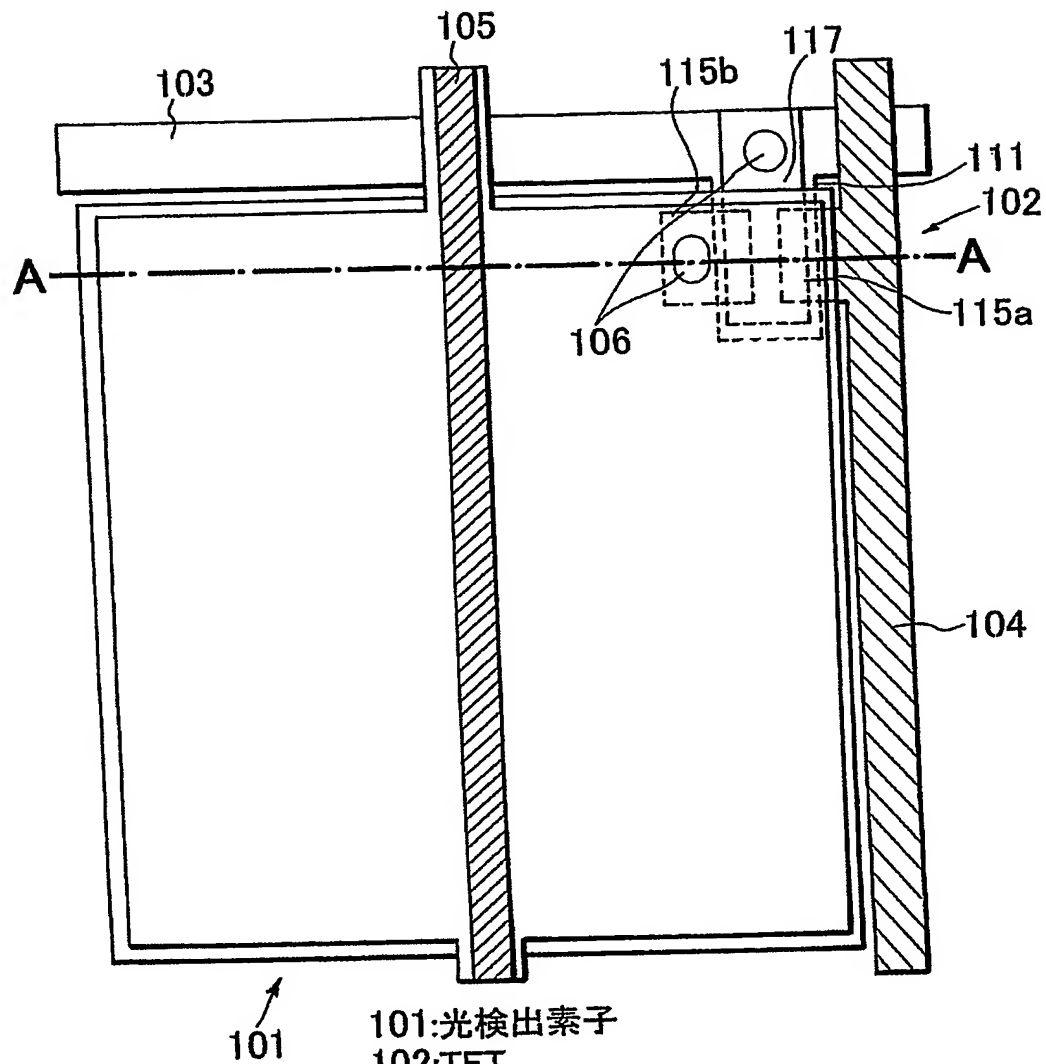
【符号の説明】

- 101 光検出素子
- 102, 107, 108 TFT
- 103 ゲート配線
- 104 転送配線
- 105 バイアス配線
- 111 第1の電極層 (第1のゲート電極)
- 112 第1の絶縁層
- 113 第1の真性半導体層
- 114 第1のn型半導体層
- 115 第2の電極層
- 115a ソース電極
- 115b ドレイン電極
- 116 第2の絶縁層
- 117 第3の電極層 (第2のゲート電極)
- 121 第3の絶縁層
- 122 第4の電極層
- 123 第4の絶縁層
- 124 第2の真性半導体層
- 125 第2のn型半導体層
- 126 第5の電極層
- 127 第5の絶縁層
- 151 第1の電極層 (第1のゲート電極)
- 157 第3の電極層 (第2のゲート電極)

1 7 5 蛍光体層

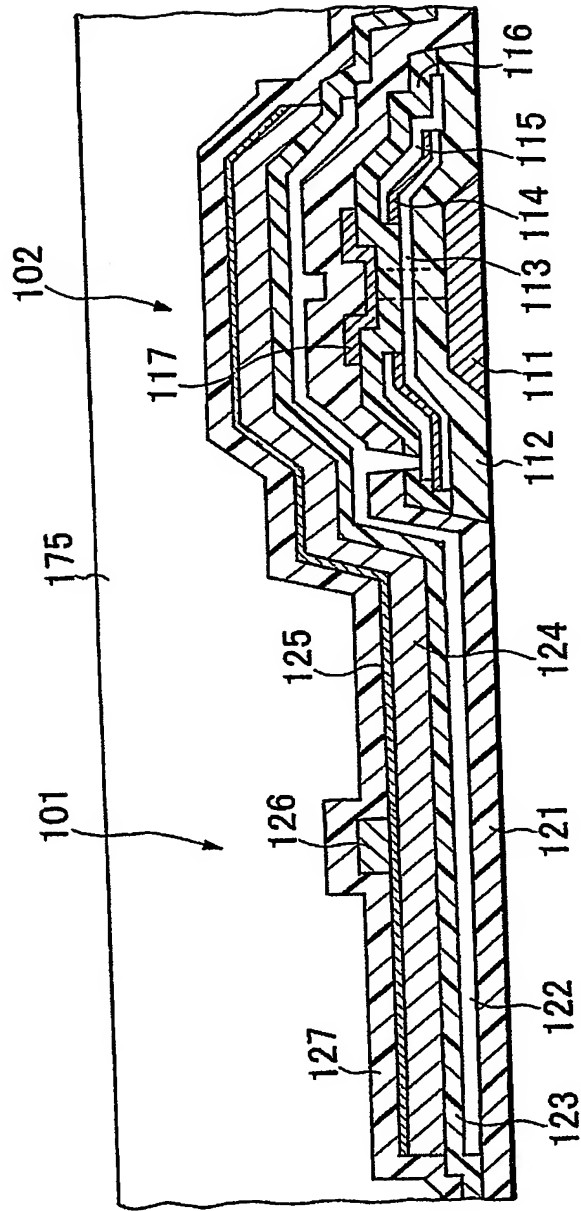
【書類名】 図面

【図1】



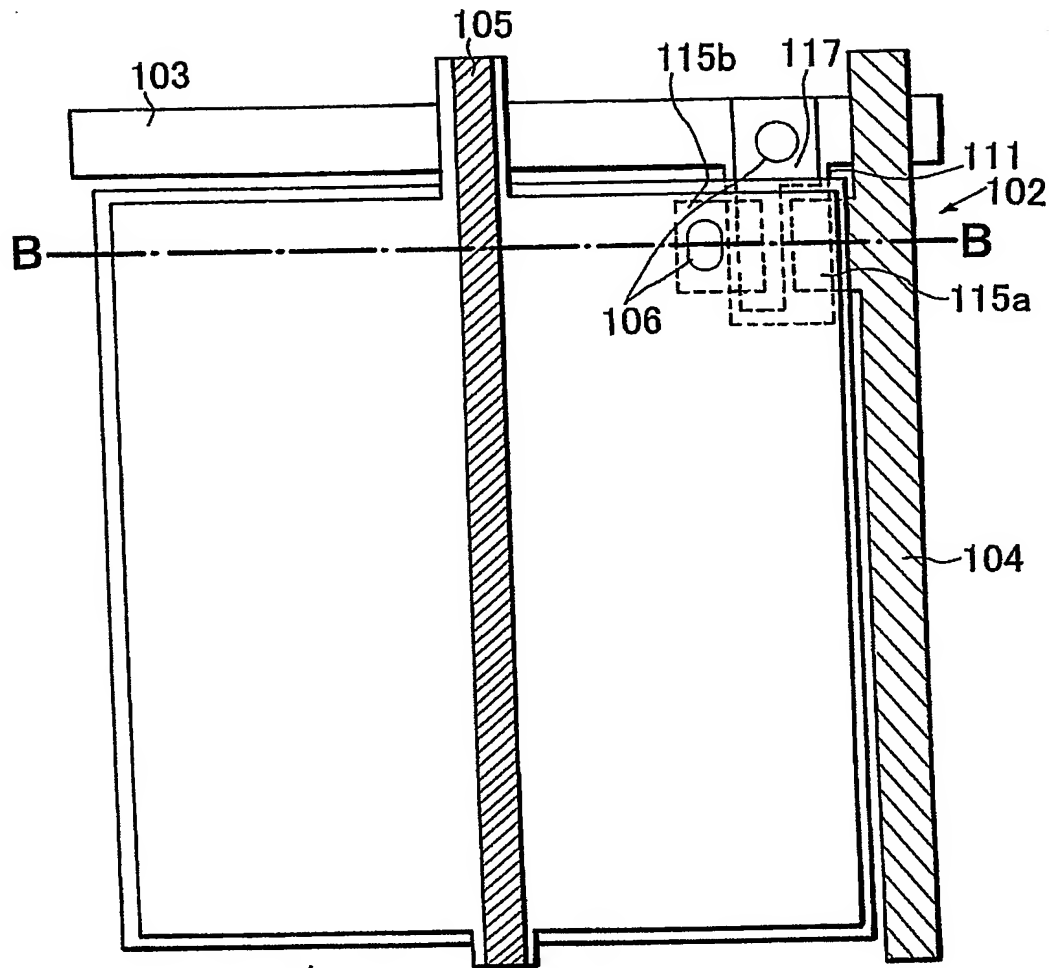
- 101:光検出素子  
102:TFT  
103:ゲート配線  
104:転送配線  
105:バイアス配線  
106:スルーホール  
111:第1のゲート電極  
115a:ソース電極  
115b:ドレイン電極  
117:第2のゲート電極

【図 2】



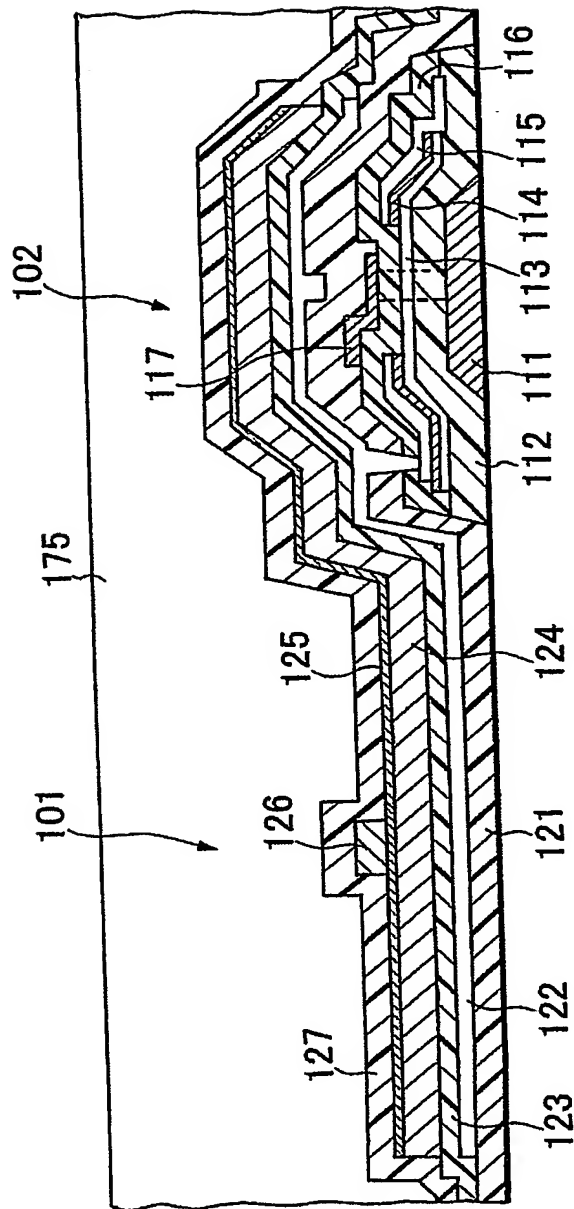
- |               |               |
|---------------|---------------|
| 101:光検出素子     | 121:第3の絶縁層    |
| 102:TFT       | 122:第4の電極層    |
| 111:第1の電極層    | 123:第4の絶縁層    |
| 112:第1の絶縁層    | 124:第2の真性半導体層 |
| 113:第1の真性半導体層 | 125:第2のn型半導体層 |
| 114:第1のn型半導体層 | 126:第5の電極層    |
| 115:第2の電極層    | 127:第5の絶縁層    |
| 116:第2の絶縁層    | 175:蛍光体層      |
| 117:第3の電極層    |               |

【図3】



- 101: 光検出素子  
102: TFT  
103: ゲート配線  
104: 転送配線  
105: バイアス配線  
106: スルーホール  
111: 第1のゲート電極  
115a: ソース電極  
115b: ドレイン電極  
117: 第2のゲート電極

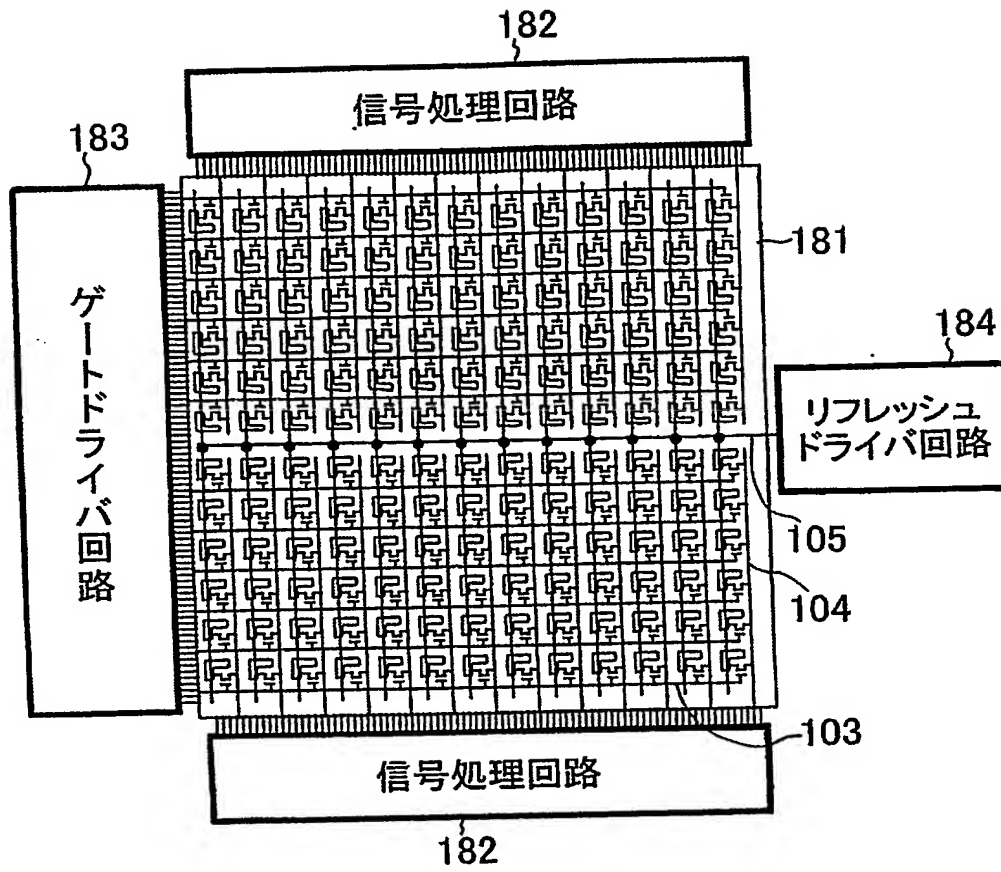
【図4】



101:光検出素子  
102:TFT  
111:第1の電極層  
112:第1の絶縁層  
113:第1の真性半導体層  
114:第1のn型半導体層  
115:第2の電極層  
116:第2の絶縁層  
117:第3の電極層

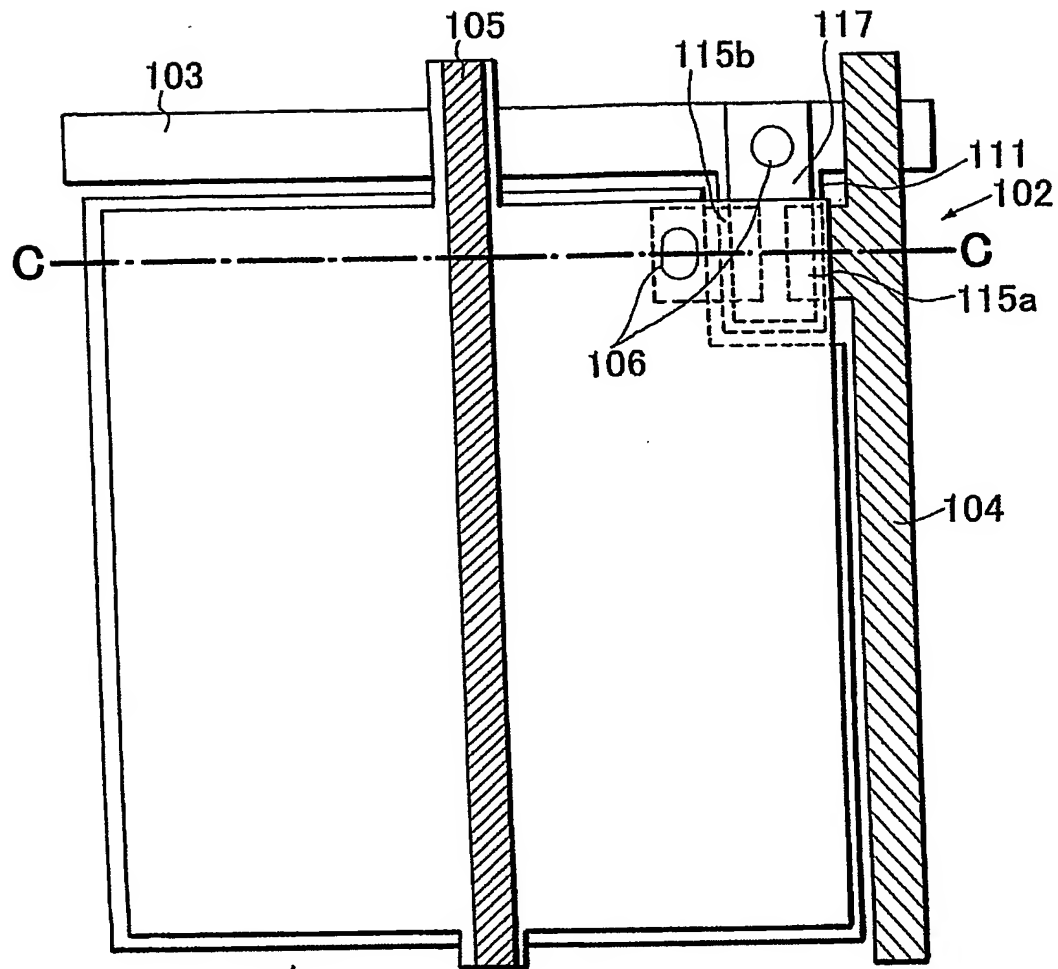
121:第3の絶縁層  
122:第4の電極層  
123:第4の絶縁層  
124:第2の真性半導体層  
125:第2のn型半導体層  
126:第5の電極層  
127:第5の絶縁層  
175:蛍光体層

【図5】



103:ゲート配線  
104:転送配線  
105:バイアス配線  
181:センサパネル

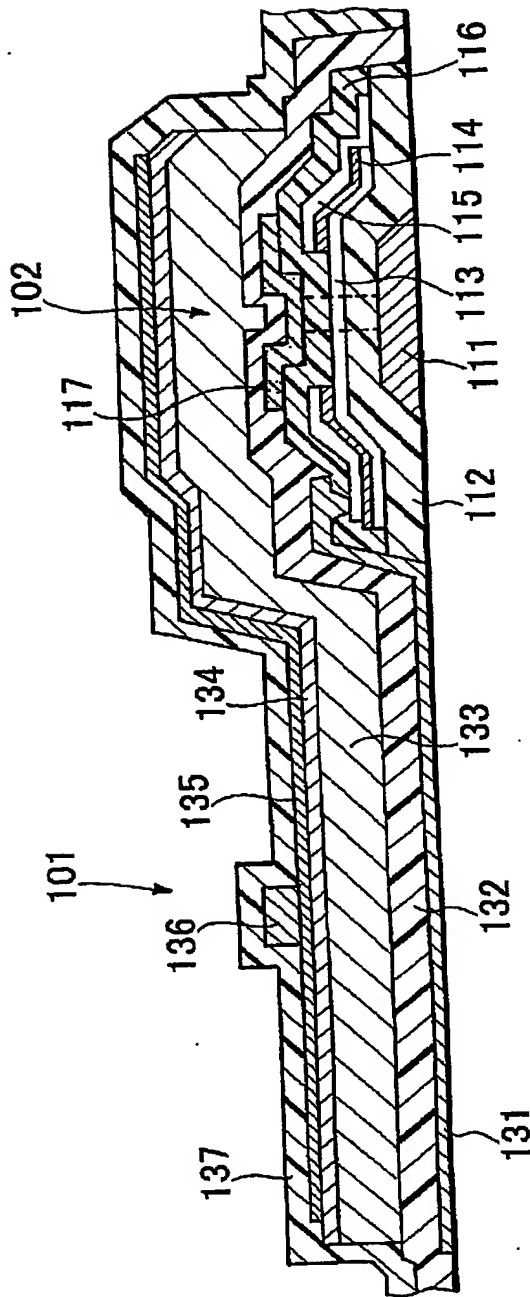
【図 6】



- 101:光検出素子  
102:TFT  
103:ゲート配線  
104:転送配線  
105:バイアス配線  
106:スルーホール  
111:第1のゲート電極  
115a:ソース電極  
115b:ドレイン電極  
117:第2のゲート電極

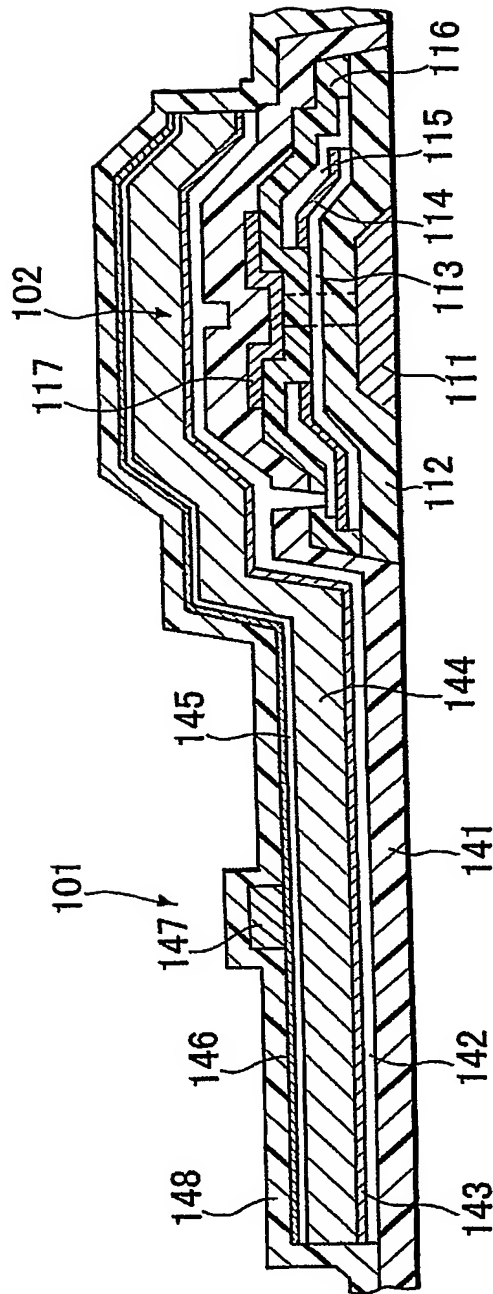


【図7】



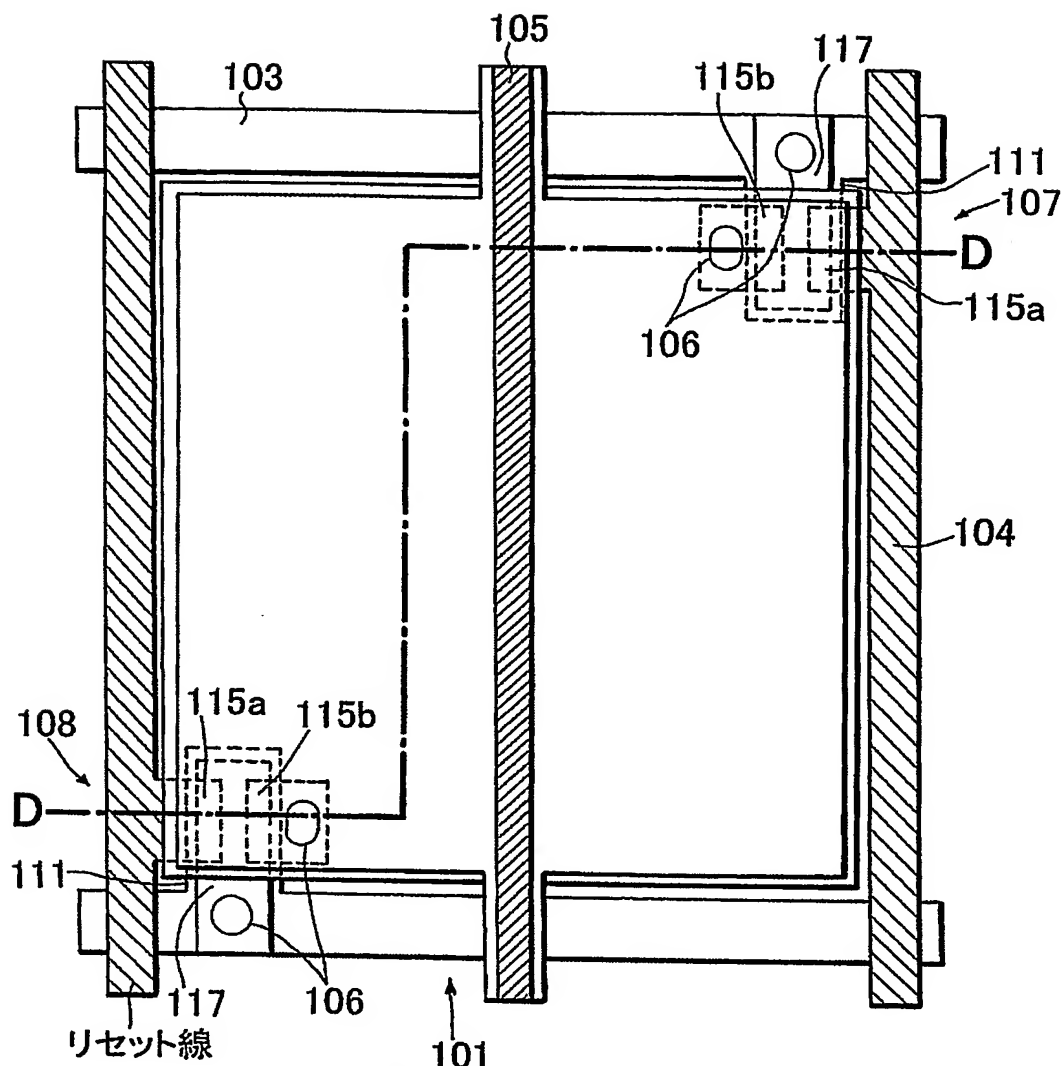
- |               |               |
|---------------|---------------|
| 101:光検出素子     | 117:第3の電極層    |
| 102:TFT       | 131:第3の電極層    |
| 111:第1の電極層    | 132:第3の絶縁層    |
| 112:第1の絶縁層    | 133:第2の真性半導体層 |
| 113:第1の真性半導体層 | 134:第2のn型半導体層 |
| 114:第1のn型半導体層 | 135:第4の電極層    |
| 115:第2の電極層    | 136:第5の電極層    |
| 116:第2の絶縁層    | 137:第4の絶縁層    |

【図8】



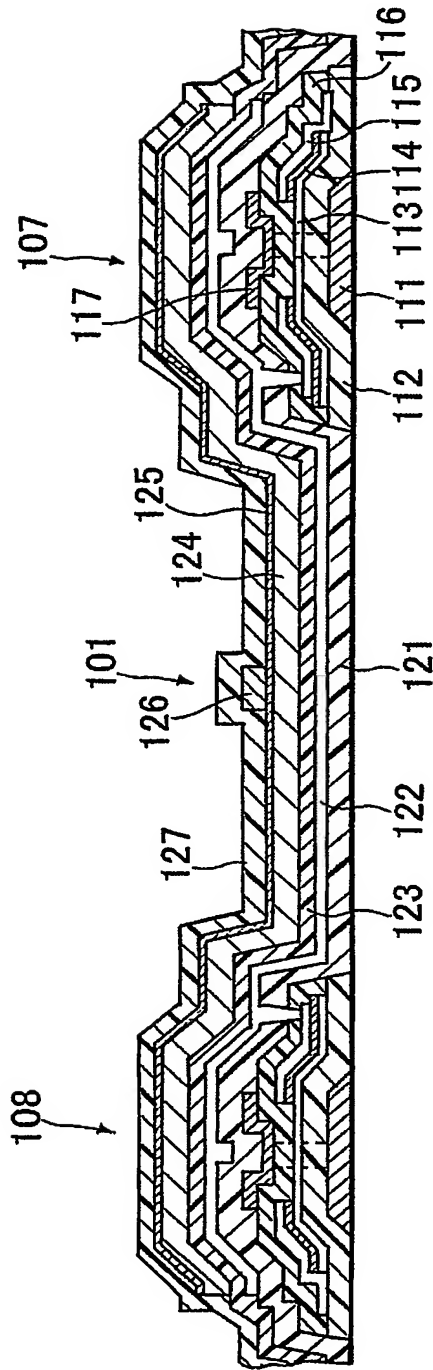
- |               |               |
|---------------|---------------|
| 101:光検出素子     | 141:第3の絶縁層    |
| 102:TFT       | 142:第4の電極層    |
| 111:第1の電極層    | 143:第2のn型半導体層 |
| 112:第1の絶縁層    | 144:第2の真性半導体層 |
| 113:第1の真性半導体層 | 145:p型半導体層    |
| 114:第1のn型半導体層 | 146:第5の電極層    |
| 115:第2の電極層    | 147:第6の電極層    |
| 116:第2の絶縁層    | 148:第4の絶縁層    |
| 117:第3の電極層    |               |

【図 9】



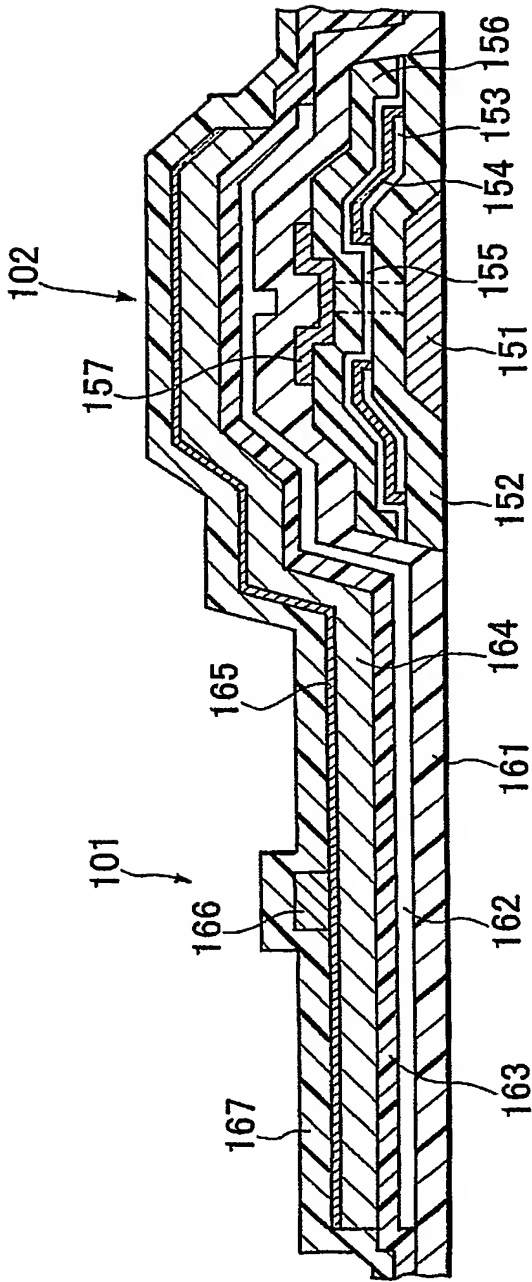
- 101:光検出素子
- 103:ゲート配線
- 104:転送配線
- 105:バイアス配線
- 106:スルーホール
- 107,108:TFT
- 111:第1のゲート電極
- 115a:ソース電極
- 115b:ドレイン電極
- 117:第2のゲート電極

【図 10】



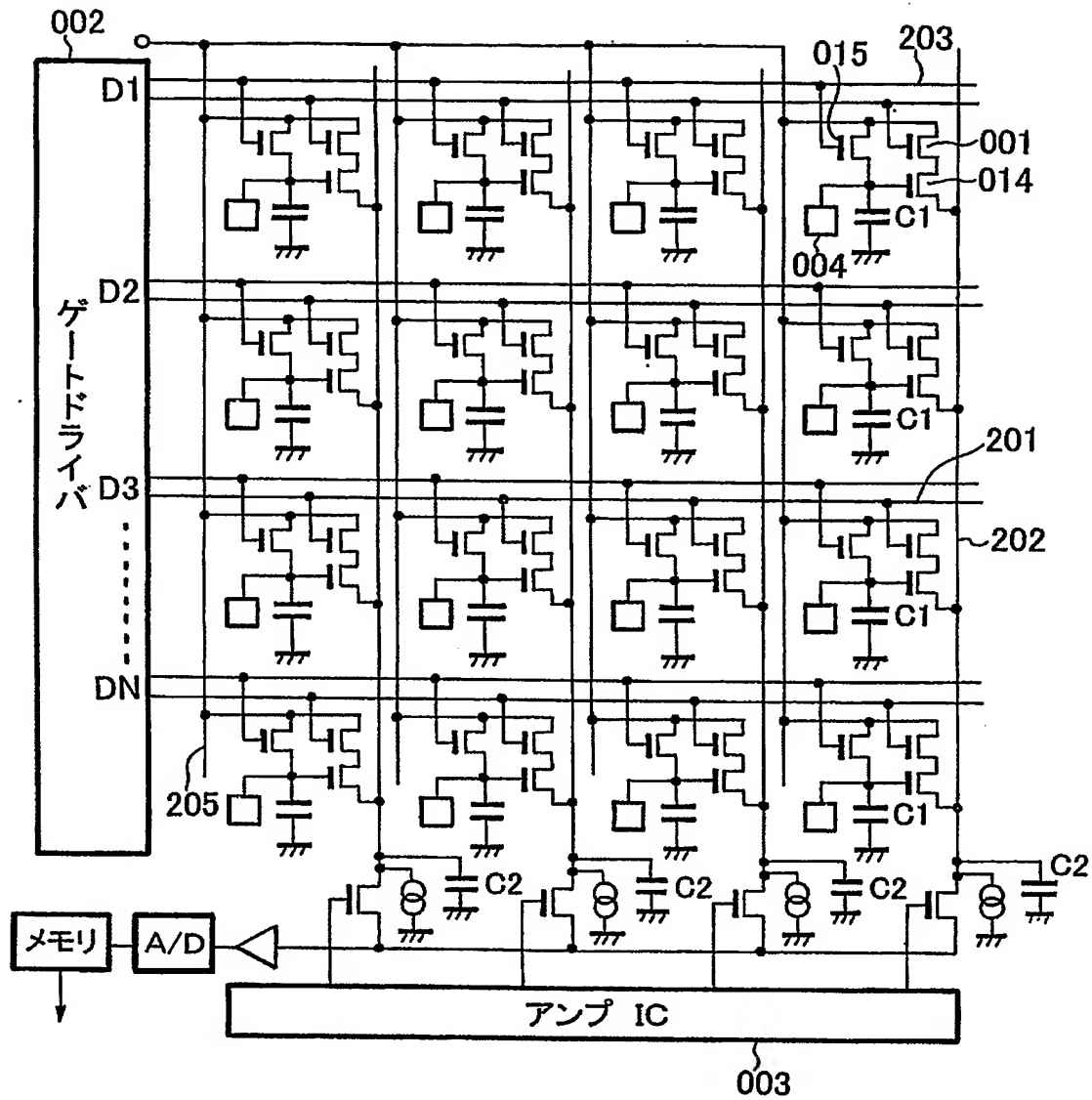
- |               |               |
|---------------|---------------|
| 101:光検出素子     | 117:第3の電極層    |
| 107,108:TFT   | 121:第3の絶縁層    |
| 111:第1の電極層    | 122:第4の電極層    |
| 112:第1の絶縁層    | 123:第4の絶縁層    |
| 113:第1の真性半導体層 | 124:第2の真性半導体層 |
| 114:第1のn型半導体層 | 125:第2のn型半導体層 |
| 115:第2の電極層    | 126:第5の電極層    |
| 116:第2の絶縁層    | 127:第5の絶縁層    |

【図11】



- |               |               |
|---------------|---------------|
| 101:光検出素子     | 157:第3の電極層    |
| 102:TFT       | 161:第3の絶縁層    |
| 151:第1の電極層    | 162:第4の電極層    |
| 152:第1の絶縁層    | 163:第4の絶縁層    |
| 153:第2の電極層    | 164:第2の真性半導体層 |
| 154:第1のn型半導体層 | 165:第2のn型半導体層 |
| 155:第1の真性半導体層 | 166:第5の電極層    |
| 156:第2の絶縁層    | 167:第5の絶縁層    |

【図 12】



【書類名】 要約書

【要約】

【課題】 光検出素子が薄膜トランジスタ上の一部又は全面を覆う構造をもつ固体撮像装置において、薄膜トランジスタの閾値電圧を変化させず、安定したTFT特性を確保する。

【解決手段】 光検出素子101と前記光検出素子101に接続された1つ以上の薄膜トランジスタ102とを1画素に形成し、前記光検出素子101の一部が前記薄膜トランジスタ102の少なくとも一部の上に積層されて配置し、前記薄膜トランジスタ102は、ソース電極、ドレイン電極、第1のゲート電極111、及び前記ソース電極・ドレイン電極に対し前記第1のゲート電極と反対側に配置された第2のゲート電極117から成り、前記第1のゲート電極111を前記第2のゲート電極117に画素毎に接続している。

【選択図】 図2

特願 2003-036835

出 願 人 履 歴 情 報

識別番号

[000001007]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都大田区下丸子3丁目30番2号

氏 名

キヤノン株式会社